

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of:

Kenji MURATA et al.

Serial No.: New Application

Filed: July 9, 2003

For: A/D CONVERSION METHOD FOR SERIAL/PARALLEL
A/D CONVERTER, AND SERIAL/PARALLEL A/D CONVERTER

CLAIM FOR PRIORITY

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

The benefit of the filing date of the following prior foreign application filed in the following country is hereby requested for the above-identified application and the priority provided in 35 U.S.C. §119 is hereby claimed:

Japanese Patent Appln. No. 2002-199688
filed July 9, 2002.

In support of this claim, a certified copy of said original foreign application is filed herewith.

It is requested that the file of this application be marked to indicate that the requirements of 35 U.S.C. §119 have been fulfilled and that the U.S. Patent and Trademark Office kindly acknowledge receipt of this document.

Respectfully submitted,

PARKHURST & WENDEL, L.L.P.



Roger W. Parkhurst
Registration No. 25,177

July 9, 2003

Date

Attorney Docket No.: HYAE:167
PARKHURST & WENDEL, L.L.P.
1421 Prince Street, Suite 210
Alexandria, Virginia 22314-2805
Telephone: (703) 739-0220

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年 7月 9日

出 願 番 号

Application Number:

特願2002-199688

[ST.10/C]:

[JP 2002-199688]

出 願 人

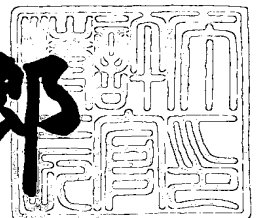
Applicant(s):

松下電器産業株式会社

2003年 5月 6日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3032617

【書類名】 特許願

【整理番号】 2037640114

【提出日】 平成14年 7月 9日

【あて先】 特許庁長官殿

【国際特許分類】 H03M 1/46
H03M 1/80

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 村田 健治

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 野間崎 大輔

【特許出願人】

【識別番号】 000005821

【氏名又は名称】 松下電器産業株式会社

【代理人】

【識別番号】 100097445

【弁理士】

【氏名又は名称】 岩橋 文雄

【選任した代理人】

【識別番号】 100103355

【弁理士】

【氏名又は名称】 坂口 智康

【選任した代理人】

【識別番号】 100109667

【弁理士】

【氏名又は名称】 内藤 浩樹

【手数料の表示】

【予納台帳番号】 011305

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9809938

【書類名】 明細書

【発明の名称】 直並列型 A / D 変換器および方法

【特許請求の範囲】

【請求項 1】 下位ビット生成のための電圧比較器列が比較を行っていない期間に前記電圧比較器列の各比較器に入力する参照電圧を発生する電圧生成手段を有する直並列型 A / D 変換器。

【請求項 2】 前記各比較器に入力される参照電圧は、基準抵抗列の接続点から出力される電圧である請求項 1 記載の直並列型 A / D 変換器。

【請求項 3】 電圧比較器列が比較を行っていない期間は、変換対象となるのアナログ電圧値を入力している期間内である請求項 1 記載の直並列型 A / D 変換器。

【請求項 4】 電圧比較器列が比較を行っていない期間は、上位ビットの比較を行っている期間である請求項 1 記載の直並列型 A / D 変換器。

【請求項 5】 所定の電圧を発生する工程と、前記所定の電圧を下位ビット生成のための電圧比較器列が比較を行っていない期間に前記電圧比較器列の各比較器に入力する工程と、を有する直並列型 A / D 変換方法。

【請求項 6】 前記所定の電圧は、基準抵抗列の接続点から出力される電圧である請求項 5 記載の直並列型 A / D 変換方法。

【請求項 7】 電圧比較器列が比較を行っていない期間は、変換対象となるのアナログ電圧値を入力している期間内である請求項 5 記載の直並列型 A / D 変換方法。

【請求項 8】 電圧比較器列が比較を行っていない期間は、上位ビットの比較を行っている期間である請求項 5 記載の直並列型 A / D 変換方法。

【請求項 9】 時間の経過とともに任意に変動するアナログ電圧値を入力してデジタル値に変換するために、

複数の抵抗が直列に接続される抵抗列と、前記抵抗列の複数の接続点から参照

電圧を選択して出力するための複数のスイッチから成る基準抵抗列およびスイッチ列と、

前記アナログ電圧値と、前記基準抵抗列およびスイッチ列より出力される第 1 の参照電圧を比較し、第 1 の比較結果を出力するための第 1 の電圧比較器列と、

前記第 1 の電圧比較器列の前記第 1 の比較結果を入力として第 1 の符号選択信号を出力する第 1 の符号選択回路と、

前記第 1 の符号選択回路の出力する前記第 1 の符号選択信号により選択された第 1 の 2 進コードを出力する第 1 の符号化回路と、

前記アナログ電圧値と、第 1 の符号選択信号に応じて前記基準抵抗列およびスイッチ列を構成する複数のスイッチにより選択され出力される第 2 の参照電圧を比較し、第 2 の比較結果を出力するための第 2 の電圧比較器列と、

前記第 2 の電圧比較器列の前記第 2 の比較結果を入力として第 2 の符号選択信号を出力する第 2 の符号選択回路と、

前記第 2 の符号選択回路の出力する前記第 2 の符号選択信号により選択された第 2 の 2 進コードを出力する第 2 の符号化回路を有し、

前記第 1 の 2 進コードと前記第 2 の 2 進コードを演算し、A/D 変換器のデジタル値とする符号合成回路で構成される A/D 変換器において、

前記第 2 の電圧比較器列が前記第 2 の比較結果を出力している以外の期間に前記第 2 の参照電圧を一定の初期電圧に初期化することを特徴とする直並列型 A/D 変換器。

【請求項 1 0】 請求項 9 記載の初期電圧が、

請求項 1 記載の基準抵抗列およびスイッチ列を構成する抵抗列の複数の接続点の内の 1 つから出力される参照電圧であることを特徴とする直並列型 A/D 変換器。

【請求項 1 1】 請求項 9 記載の第 2 の参照電圧と、請求項 9 記載の初期電圧と、制御信号を入力し、前記制御信号に従い、前記第 2 の参照電圧と前記初期電圧を選択して出力する機能を有する参照電圧初期化回路を有し、前記参照電圧初期化回路の出力を、請求項 9 記載の第 2 の電圧比較器列の入力とすることを特徴とする直並列型 A/D 変換器。

【請求項 1 2】 請求項 9 記載の第 1 の符号選択回路は、
制御信号を入力し、請求項 9 記載の第 2 の参照電圧が初期化されている期間、
前記制御信号に従い、請求項 9 記載の基準抵抗列およびスイッチ列を構成する複
数のスイッチのなかで、請求項 9 記載の初期電圧を供給する特定のスイッチをオ
ン状態にし、残りの全てをオフ状態にする機能を持つことを特徴とする直並列型
A/D 変換器。

【請求項 1 3】 請求項 9 記載の初期電圧に初期化する期間が、
請求項 9 記載の第 1 の電圧比較器列と第 2 の比較器列が、請求項 9 記載のアナ
ログ電圧値を入力している期間内であることを特徴とする直並列型 A/D 変換器

【請求項 1 4】 請求項 9 記載の初期電圧に初期化する期間が、
請求項 9 記載のアナログ電圧値と、基準抵抗列およびスイッチ列より出力され
る第 1 の参照電圧を比較し、第 1 の比較結果を出力している期間内であることを
特徴とする直並列型 A/D 変換器。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は直並列型 A/D 変換器に関するものである。

【0 0 0 2】

【従来の技術】

映像、通信分野における信号処理のデジタル化、および映像、通信機器の高
性能化に伴い、デジタル信号処理のキーデバイスとなる A/D 変換器においても
、高速化、高精度化が要求されている。高速高精度 A/D 変換器の基本的な構成
法としては、直並列型 A/D 変換器が挙げられるが、最初に従来の直並列型 A/D
変換器の構成、および動作について説明する。

【0 0 0 3】

図 1 0 は 4 ビットの直並列型 A/D 変換器の構成を示している。参照電圧 2、
3 の間に基準抵抗列及びスイッチ列 1 2 が接続されている。上位 2 ビットを決定
する上位電圧比較器列 1 3 を構成する各々の電圧比較器 6 の一方の入力端子は前

記基準抵抗列及びスイッチ列 1 2 の、前記参照電圧 2、3 の電位差を等電位に分割した接続点に接続されており、他方の入力端子はアナログ入力信号 1 に接続されている。前記上位電圧比較器列 1 3 の出力端子は上位符号選択回路 1 4 に接続されており、前記上位符号選択回路 1 4 の出力端子は上位符号化回路 1 5 の入力端子に接続されている。下位 2 ビットを決定する下位電圧比較器列 1 6 を構成する各々の電圧比較器 6 の一方の入力端子は、前記基準抵抗列及びスイッチ列 1 2 において前記上位電圧比較器列 1 3 の各々の電圧比較器 6 が接続されている接続点間を基準抵抗 4 により等電位に分割した点に下位参照電圧選択スイッチ 5 を介して接続されており、他方の入力端子は前記アナログ入力信号 1 に接続されている。前記下位電圧比較器列 1 6 の出力端子は下位符号選択回路 1 7 に接続されており、前記下位符号選択回路 1 7 の出力端子は下位符号化回路 1 8 に接続されている。前記上位符号化回路 1 5、および前記下位符号化回路 1 8 の出力端子はそれぞれ符号合成回路 1 9 に接続されており、前記符号合成回路 1 9 の出力端子より 4 ビットのデジタル出力 1 1 が出力される。以上が直並列型 A/D 変換器の構成である。

【0004】

次に直並列型 A/D 変換器の動作について説明する。図 1 1 は直並列型 A/D 変換器の動作を表すタイミング図である。動作のタイミングを制御する標本化信号、上位比較信号、下位参照電圧決定信号、および下位比較信号の各制御信号は、図 1 0 に示す制御信号生成回路 2 1 にて、クロック入力 2 2 より生成される。

【0005】

まず標本化期間に、上位電圧比較器列 1 3 と、下位電圧比較器列 1 6 がアナログ入力信号 1 に同時に接続され、標本化信号の立ち下がり時刻に等しいアナログ入力電圧値を保持する。

【0006】

次の上位比較期間で、上位電圧比較器列 1 3 は前記アナログ入力電圧値と上位参照電圧値を比較し、上位比較信号の立ち下がり時刻に上位電圧比較結果を出力する。前記上位電圧比較結果は上位符号選択回路 1 4 によって上位符号選択信号に変換される。上位符号化回路 1 5 は前記上位符号選択信号に従い、2 ビットの

上位 2 進コードを出力する。

【 0 0 0 7 】

次の下位参照電圧決定期間で、基準抵抗列及びスイッチ列 1 2 は前記上位比較期間に前記上位符号選択回路 1 4 から出力される前記上位符号選択信号により各々の下位参照電圧選択スイッチ 5 のオン状態、オフ状態を決定する。

【 0 0 0 8 】

次の下位参照電圧決定期間で、前記下位電圧比較器列 1 6 に入力する下位参照電圧値を選択し、決定する。

【 0 0 0 9 】

次の下位比較期間で、前記下位電圧比較器列 1 6 は、保持していたアナログ入力電圧値と前記基準抵抗及びスイッチ列 1 2 より入力された前記下位参照電圧値を比較し、下位比較信号の立ち下がり時刻に下位電圧比較結果を出力する。前記下位電圧比較結果は下位符号選択回路 1 7 によって下位符号選択信号に変換される。下位符号化回路 1 8 は前記下位符号選択信号に従い、2 ビットの下位 2 進コードを出力する。符号合成回路 1 9 は、前記上位符号化回路 1 5 より出力される 2 ビットの前記上位 2 進コードと前記下位符号化回路 1 8 より出力される 2 ビットの前記下位 2 進コードを論理合成して、4 ビットのデジタル出力 1 1 を出力する。以上が直並列型 A / D 変換器の動作である。

【 0 0 1 0 】

【発明が解決しようとする課題】

図 1 1 は従来の直並列型 A / D 変換器の上位 A / D 変換器、下位 A / D 変換器の動作タイミングの他に、下位電圧比較器列 1 6 を構成する電圧比較器 6 に入力される下位参照電圧値の変化、および前記電圧比較器 6 の出力電圧も示している。

【 0 0 1 1 】

従来の直並列型 A / D 変換器は、上位電圧比較器列 1 3 の比較結果に従って下位参照電圧を選択する基準抵抗列およびスイッチ列 1 2 の選択状態が、下位電圧比較器列 1 6 が比較動作を完了して次の標本化動作、上位比較動作を完了するまで前の選択状態のまま固定されているので、例えば前の標本化期間から次の標本

化期間の間にアナログ入力電圧 1 が大きく変化した場合、下位参照電圧の変化量も大きくなり、前記下位参照電圧が前の電圧値から次の電圧値に変化して安定するまでの遷移時間が長くなる。

【 0 0 1 2 】

したがって、直並列型 A/D を高速で動作させた場合には下位参照電圧が前の電圧値から次の電圧値に変化して安定する以前に下位比較器列 1 6 が比較動作を開始してしまうため精度が劣化する等、直並列型 A/D 変換器の高速化、高精度化の妨げとなっていた。

【 0 0 1 3 】

【課題を解決するための手段】

上述の課題を解決するために、本発明は、複数の抵抗が直列に接続される抵抗列と、前記抵抗列の複数の接続点から参照電圧を選択して出力するための複数のスイッチから成る基準抵抗列およびスイッチ列と、

前記アナログ電圧値と、前記基準抵抗列およびスイッチ列より出力される第 1 の参照電圧を比較し、第 1 の比較結果を出力するための第 1 の電圧比較器列と、

前記第 1 の電圧比較器列の前記第 1 の比較結果を入力として第 1 の符号選択信号を出力する第 1 の符号選択回路と、

前記第 1 の符号選択回路の出力する前記第 1 の符号選択信号により選択された第 1 の 2 進コードを出力する第 1 の符号化回路と、

前記アナログ電圧値と、第 1 の符号選択信号に応じて前記基準抵抗列およびスイッチ列を構成する複数のスイッチにより選択され出力される第 2 の参照電圧を比較し、第 2 の比較結果を出力するための第 2 の電圧比較器列と、

前記第 2 の電圧比較器の前記第 2 の比較結果を入力として第 2 の符号選択信号を出力する第 2 の符号選択回路と、

前記第 2 の符号選択回路の出力する前記第 2 の符号選択信号により選択された第 2 の 2 進コードを出力する第 2 の符号化回路を有し、

前記第 1 の 2 進コードと前記第 2 の 2 進コードを演算し、A/D 変換器のデジタル値とする符号合成回路で構成される A/D 変換器において、

前記第 2 の電圧比較器列が比較結果を出力している以外の期間に前記第 2 の参

照電圧を一定の初期電圧に初期化する構成とする。

【 0 0 1 4 】

また、本発明は、前記の初期電圧が、基準抵抗列およびスイッチ列を構成する抵抗列の複数の接続点の内の 1 つから出力される参照電圧である構成とする。

【 0 0 1 5 】

また、本発明は、第 2 の参照電圧と、初期電圧と、制御信号を入力し、前記制御信号に従い、前記第 2 の参照電圧と前記初期電圧を選択して出力する機能を有する参照電圧初期化回路を有し、前記参照電圧初期化回路の出力を、第 2 の電圧比較器列の入力とする構成とする。

【 0 0 1 6 】

また本発明は、第 1 の符号選択回路が、制御信号を入力し、第 2 の参照電圧が初期化されている期間、前記制御信号に従い、基準抵抗列およびスイッチ列を構成する複数のスイッチのなかで、初期電圧を供給する特定のスイッチをオン状態にし、残りの全てをオフ状態にする機能を持つ構成とする。

【 0 0 1 7 】

また本発明は、初期電圧に初期化する期間が、第 1 の電圧比較器列と第 2 の比較器列が、アナログ電圧値を入力している期間内である構成とする。

【 0 0 1 8 】

また本発明は、初期電圧に初期化する期間が、アナログ電圧値と、基準抵抗列およびスイッチ列より出力される第 1 の参照電圧を比較し、第 1 の比較結果を出力している期間内である構成とする。

【 0 0 1 9 】

本発明の直並列型 A / D 変換器は、下位比較器列が比較動作を完了した後から次の比較動作が開始されるまでの期間に、下位参照電圧を初期化させることにより、前の標本化期間から次の標本化期間の間にアナログ入力電圧が大きく変化した場合にも、下位参照電圧の変化量を小さくして、高速、高精度動作が可能な直並列型 A / D 変換器を実現することを目的とする。

【 0 0 2 0 】

【発明の実施の形態】

以下、本発明の直並列型 A/D 変換器の具体的な実施の形態について述べる。

【0021】

(実施の形態 1)

図 1 は、本発明に係る 4 ビットの直並列型 A/D 変換器の構成を示している。参照電圧 2 と参照電圧 3 の間に基準抵抗列及びスイッチ列 1 2 が接続されている。前記基準抵抗列及びスイッチ列 1 2 は前記参照電圧 2 ～ 3 間の電位を抵抗値の等しい基準抵抗 4 によって 1 6 等分している。前記基準抵抗列及びスイッチ列 1 2 における下位参照電圧選択スイッチ 5 は、上位符号選択回路 1 4 より出力される上位符号選択信号 P 0 C、P 1 C、P 2 C、P 3 C によりオン状態、オフ状態を決定する。上位 2 ビットを決定する上位電圧比較器列 1 3 を構成する各々の電圧比較器 6 の一方の入力端子は前記基準抵抗列及びスイッチ列 1 2 の前記参照電圧 2 ～ 3 間の電位差を等電位に 4 分割した分割点に接続されており、他方の入力端子はアナログ入力信号 1 に接続されている。前記上位電圧比較器列 1 3 の出力端子は前記上位符号選択回路 1 4 に接続されており、前記上位符号選択回路 1 4 の出力端子は上位符号化回路 1 5 に接続されている。

【0022】

下位参照電圧初期化回路 8 の入力端子は、下位参照電圧初期化信号 9 と、初期化電圧 2 3 と、前記基準抵抗列及びスイッチ列 1 2 において前記参照電圧 2 ～ 3、前記上位電圧比較器列 1 3 の各々の電圧比較器 6 が接続されている接続点間の電位差を前記基準抵抗 4 により等電位に 1 6 分割した各々の点に前記下位参照電圧選択スイッチ 5 を介して接続されている。

【0023】

下位 2 ビットを決定する下位電圧比較器列 1 6 を構成する各々の電圧比較器 6 の一方の入力端子は、前記下位参照電圧初期化回路 8 の出力端子に接続され、他方の入力端子は前記アナログ入力信号 1 に接続されている。前記下位電圧比較器列 1 6 の出力端子は下位符号選択回路 1 7 に接続されており、前記下位符号選択回路 1 7 の出力端子は下位符号化回路 1 8 に接続されている。

【0024】

前記上位符号化回路 1 5、前記下位符号化回路 1 8 の出力端子は符号合成回路

19の入力端子に接続され、前記符号合成回路19の出力端子よりデジタル出力11が出力される。

【0025】

制御信号生成回路21の入力端子にクロック入力22が接続されており、前記制御信号生成回路21は、前記下位参照電圧初期化信号9を出力する。

【0026】

以上が本発明の実施の形態1である直並列型A/D変換器の構成である。

【0027】

次に、本発明の実施の形態1である直並列型A/D変換器の動作について説明する。まず第1の期間（標本化期間）で、上位電圧比較器列13および下位電圧比較器列16を構成する各々の電圧比較器6はアナログ入力信号1より入力されるアナログ入力電圧値 V_{in} を保持する。第2の期間（上位比較期間）で前記上位電圧比較器列13は前記アナログ入力信号電圧値 V_{in} と上位参照電圧値 V_{r1C} 、 V_{r2C} 、 V_{r3C} を比較し、上位電圧比較結果 $C1C$ 、 $C2C$ 、 $C3C$ を出力する。前記上位電圧比較結果 $C1C$ 、 $C2C$ 、 $C3C$ は上位符号選択回路14に入力され、前記上位符号選択回路14は上位符号選択信号 $P0C$ 、 $P1C$ 、 $P2C$ 、 $P3C$ を出力する。この期間で前記下位電圧比較器列16は前記アナログ入力電圧値 V_{in} を保持している。第3の期間（下位参照電圧決定期間）で前記上位符号選択回路14から出力される上位符号選択信号 $P0C$ 、 $P1C$ 、 $P2C$ 、 $P3C$ は上位符号化回路15に入力されると同時に基準抵抗列及びスイッチ列12におけるスイッチ $S01\sim03$ 、 $S11\sim13$ 、 $S21\sim23$ 、 $S31\sim33$ のオン状態、オフ状態を決定し、前記下位電圧比較器列16に入力する下位参照電圧値 V_{r1f} 、 V_{r2f} 、 V_{r3f} を切り替える。例えば、アナログ入力電圧値 V_{in} が上位参照電圧の V_{r1C} と V_{r2C} の間にある時（ $V_{r1C} > V_{in} > V_{r2C}$ の時）、前記上位電圧比較器列13より出力される上位電圧比較結果 $C1C$ 、 $C2C$ 、 $C3C$ （100）、前記上位符号選択回路14より出力される上位符号選択信号 $P0C$ 、 $P1C$ 、 $P2C$ 、 $P3C$ （0100）により、前記基準抵抗列及びスイッチ列12を構成する前記スイッチ $S11\sim13$ はオン状態に、前記スイッチ $S01\sim03$ 、 $S21\sim23$ 、 $S31\sim33$ はオフ状態に

なる。その結果、下位参照電圧値 V_{r1f} 、 V_{r2f} 、 V_{r3f} として V_{r1C} ~ V_{r2C} 間の電圧を基準抵抗 R_{11} ~ 13 により等電位に 4 分割した各々の電圧値が下位参照電圧初期化回路 8 に入力される。

【0028】

以上の動作期間中の任意の期間で、下位参照電圧初期化信号 9 の制御により、下位参照電圧初期化回路 8 の出力電圧は、初期化電圧 23 に初期化される。

【0029】

第 4 の期間（下位比較期間）で、前記下位参照電圧初期化回路 8 は、前記下位参照電圧初期化信号 9 の制御により、入力された下位参照電圧値 V_{r1f} 、 V_{r2f} 、 V_{r3f} とそれぞれ同電位の参照電圧値 V_{R1F} 、 V_{R2F} 、 V_{R3F} を出力し、前記参照電圧値 V_{R1F} 、 V_{R2F} 、 V_{R3F} は電圧比較器列 16 に入力され、前記下位電圧比較器列 16 は、保持していたアナログ入力電圧値 V_{in} と前記下位参照電圧初期化回路 8 より入力された前記下位参照電圧値 V_{R1F} 、 V_{R2F} 、 V_{R3F} を比較し、下位電圧比較結果 C_{0F} 、 C_{1F} 、 C_{2F} を出力する。前記下位電圧比較結果 C_{0F} 、 C_{1F} 、 C_{2F} は下位符号選択回路 17 に入力され、前記下位符号選択回路 17 より出力される下位符号選択信号 P_{0F} 、 P_{1F} 、 P_{2F} 、 P_{3F} は下位符号化回路 18 に入力される。

【0030】

前記上位符号化回路 15 が出力する 2 ビットの上位 2 進コード、および前記下位符号化回路 18 が出力する 2 ビットの下位 2 進コードは符号合成回路 19 により論理合成され、前記符号合成回路 19 より 4 ビットのデジタル出力 11 が出力される。

【0031】

以上が図 1 に示す本発明の実施の形態 1 である直並列型 A/D 変換器の動作である。

【0032】

なお、本実施の形態では、上位 2 ビット、下位 2 ビットの直並列型 A/D 変換器の構成について述べたが、上位のビット数、下位のビット数は任意の設定が可能である。

【 0 0 3 3 】

(実施の形態 2)

図 2 は本発明に係る直並列型 A / D 変換器の構成を示している。

【 0 0 3 4 】

実施の形態 1 で述べた、図 1 に示す下位参照電圧初期化回路 8 の入力端子に接続されている初期化電圧 2 3 のかわりに、基準抵抗列及びスイッチ列 1 2 の参照電圧 2 ~ 3 間の電位差を等電位に 2 分割した分割点 (V_{r2C}) に接続されている以外は実施の形態 1 で述べた図 1 に示す直並列型 A / D 変換器と同様の構成ならびに動作である。

【 0 0 3 5 】

本実施の形態では、実施の形態 1 に比べて初期化電圧 2 3 が不要となるため構成が簡単になる。

【 0 0 3 6 】

なお、本実施の形態では、初期化電圧を参照電圧 2 ~ 3 間の電位差を等電位に 2 分割した分割点より生成される電圧 V_{r2C} とした場合について述べたが、初期化電圧の接続点は任意の設定が可能である。

【 0 0 3 7 】

(実施の形態 3)

図 3 は、本発明に係る実施の形態 1 および実施の形態 2 に示す直並列型 A / D 変換器に用いられる下位参照電圧初期化回路 8 の構成を示している。

【 0 0 3 8 】

下位参照電圧初期化スイッチ 1 0 の一方の端子が初期化電圧に共通に接続され、前記参照電圧初期化スイッチ 1 0 の他方の端子は、図 1 および図 2 に示す下位電圧比較器列 1 6 を構成する電圧比較器 6 の一方の入力端子にそれぞれ接続される。下位参照電圧入力スイッチ 2 0 の一方の端子は図 1 および図 2 に示す下位参照電圧 V_{r1f} 、 V_{r2f} 、 V_{r3f} にそれぞれ接続され、他方の端子は図 1 および図 2 に示す下位電圧比較器列 1 6 を構成する電圧比較器 6 の一方の入力端子にそれぞれ接続される。

【 0 0 3 9 】

下位参照電圧初期化信号 9 が論理レベルのハイレベル状態になると、下位参照電圧初期化スイッチ 1 0 がオン状態、下位参照電圧入力スイッチ 2 0 がオフ状態になり、図 1 および図 2 に示す下位電圧比較器列 1 6 を構成する電圧比較器 6 には、図 1 においては初期化電圧 2 3 が、図 2 においては V_{r2C} が入力される。前記下位参照電圧初期化信号 9 が論理レベルのローレベル状態になると、前記下位参照電圧初期化スイッチ 1 0 がオフ状態、前記下位参照電圧入力スイッチ 2 0 がオン状態になり、前記下位比較器列 1 6 を構成する前記電圧比較器 6 には下位参照電圧 V_{r1f} 、 V_{r2f} 、 V_{r3f} が入力される。

【 0 0 4 0 】

以上が図 3 に示す本発明の実施の形態 3 である下位参照電圧初期化回路の構成および動作である。

【 0 0 4 1 】

なお、本実施の形態では動作制御回路を構成するスイッチがハイレベルでオン状態に、ローレベルでオフ状態になる場合について述べたが、スイッチのオン、オフ制御の論理レベルは任意である。

【 0 0 4 2 】

なお、本実施の形態では下位参照電圧初期化回路が反転回路およびスイッチで構成される場合を示したが、他の論理回路でも構成が可能である。

【 0 0 4 3 】

(実施の形態 4)

図 4 は、本発明に係る 4 ビットの直並列型 A/D 変換器の構成を示している。参照電圧 2 と参照電圧 3 の間に基準抵抗列及びスイッチ列 1 2 が接続されている。前記基準抵抗列及びスイッチ列 1 2 は前記参照電圧 2 ～ 3 間の電位を抵抗値の等しい基準抵抗 4 によって 1 6 等分している。前記基準抵抗列及びスイッチ列 1 2 における下位参照電圧選択スイッチ 5 は、上位符号選択回路 7 より出力される下位参照電圧選択信号 $S_0 \sim S_3$ によりオン状態、オフ状態を決定する。上位 2 ビットを決定する上位電圧比較器列 1 3 を構成する各々の電圧比較器 6 の一方の入力端子は前記基準抵抗列及びスイッチ列 1 2 の前記参照電圧 2 ～ 3 間の電位差を等電位に 4 分割した分割点に接続されており、他方の入力端子はアナログ入力

信号 1 に接続されている。前期上位符号選択回路 7 の入力端子は下位参照電圧初期化信号 9 と、前記上位電圧比較器列 1 3 の出力端子に接続されており、前記上位符号選択回路 7 の出力端子は上位符号化回路 1 5 に接続されている。

【 0 0 4 4 】

下位 2 ビットを決定する下位電圧比較器列 1 6 を構成する各々の電圧比較器 6 の一方の入力端子は、前記基準抵抗列及びスイッチ列 1 2 において前記参照電圧 2 ～ 3、前記上位電圧比較器列 1 3 の各々の電圧比較器 6 が接続されている接続点間の電位差を前記基準抵抗 4 により等電位に 1 6 分割した各々の点に前記下位参照電圧選択スイッチ 5 を介して接続され、他方の入力端子は前記アナログ入力信号 1 に接続されている。前記下位電圧比較器列 1 6 の出力端子は下位符号選択回路 1 7 に接続されており、前記下位符号選択回路 1 7 の出力端子は下位符号化回路 1 8 に接続されている。前記上位符号化回路 1 5、前記下位符号化回路 1 8 の出力端子は符号合成回路 1 9 の入力端子に接続され、前記符号合成回路 1 9 の出力端子よりデジタル出力 1 1 が出力される。

【 0 0 4 5 】

クロック入力 2 2 が制御信号生成回路 2 1 に入力され、前記制御信号生成回路 2 1 は、前記下位参照電圧初期化信号 9 を出力する。

【 0 0 4 6 】

以上が本発明の実施の形態 4 である直並列型 A/D 変換器の構成である。

【 0 0 4 7 】

次に、本発明の実施の形態 4 である直並列型 A/D 変換器の動作について説明する。まず第 1 の期間（標本化期間）で、上位電圧比較器列 1 3 および下位電圧比較器列 1 6 を構成する各々の電圧比較器 6 はアナログ入力信号 1 より入力されるアナログ入力電圧値 V_{in} を保持する。第 2 の期間（上位比較期間）で前記上位電圧比較器列 1 3 は前記アナログ入力信号電圧値 V_{in} と上位参照電圧値 V_{r1C} 、 V_{r2C} 、 V_{r3C} を比較し、上位電圧比較結果 $C1C$ 、 $C2C$ 、 $C3C$ を出力する。前記上位電圧比較結果 $C1C$ 、 $C2C$ 、 $C3C$ は上位符号選択回路 7 に入力され、前記上位符号選択回路 7 は上位符号選択信号 $P0C$ 、 $P1C$ 、 $P2C$ 、 $P3C$ を出力する。この期間で前記下位電圧比較器列 1 6 は前記アナログ

入力電圧値 V_{in} を保持している。第3の期間（下位参照電圧決定期間）で前記上位符号選択回路7から出力される上位符号選択信号 $P0C$ 、 $P1C$ 、 $P2C$ 、 $P3C$ は上位符号化回路15に入力され、下位参照電圧選択信号 $S0$ 、 $S1$ 、 $S2$ 、 $S3$ は基準抵抗列及びスイッチ列12におけるスイッチ $S01 \sim 03$ 、 $S11 \sim 13$ 、 $S21 \sim 23$ 、 $S31 \sim 33$ のオン状態、オフ状態を決定し、前記下位電圧比較器列16に入力する下位参照電圧値 $Vr1f$ 、 $Vr2f$ 、 $Vr3f$ を切り替える。例えば、アナログ入力電圧値 V_{in} が上位参照電圧の $Vr1C$ と $Vr2C$ の間にある時（ $Vr1C > V_{in} > Vr2C$ の時）、前記上位電圧比較器列13より出力される上位電圧比較結果 $C1C$ 、 $C2C$ 、 $C3C$ （100）、前記上位符号選択回路7より出力される下位参照電圧選択信号 $S0$ 、 $S1$ 、 $S2$ 、 $S3$ （0100）により、前記基準抵抗列及びスイッチ列12を構成する前記スイッチ $S11 \sim 13$ はオン状態に、前記スイッチ $S01 \sim 03$ 、 $S21 \sim 23$ 、 $S31 \sim 33$ はオフ状態になる。その結果、下位参照電圧値 $Vr1f$ 、 $Vr2f$ 、 $Vr3f$ として $Vr1C \sim Vr2C$ 間の電圧を基準抵抗 $R11 \sim 13$ により等電位に4分割した各々の電圧値が電圧比較器列16に入力される。第4の期間（下位比較期間）で前記下位電圧比較器列16は、保持していたアナログ入力電圧値 V_{in} と前記下位参照電圧初期化回路8より入力された前記下位参照電圧値 $Vr1f$ 、 $Vr2f$ 、 $Vr3f$ を比較し、下位電圧比較結果 $C0F$ 、 $C1F$ 、 $C2F$ を出力する。前記下位電圧比較結果 $C0F$ 、 $C1F$ 、 $C2F$ は下位符号選択回路17に入力され、前記下位符号選択回路17より出力される下位符号選択信号 $P0F$ 、 $P1F$ 、 $P2F$ 、 $P3F$ は下位符号化回路18に入力される。上位符号化回路15が出力する2ビットの上位2進コード、および下位符号化回路18が出力する2ビットの下位2進コードは符号合成回路19により論理合成され、前記符号合成回路19より4ビットのデジタル出力11が出力される。

【0048】

以上が図4に示す本発明の実施の形態4である直並列型A/D変換器の動作である。

【0049】

図5は、図4に示す直並列型A/D変換器に用いられる上位符号選択回路7の

構成を示している。標本化期間、もしくは上位比較期間中の任意の期間において、下位参照電圧初期化信号 9 が論理レベルのハイレベル状態になり、下位参照電圧選択信号 S 2 がハイレベル、S 0、S 1、S 3 がローレベルに固定され、図 1 に示す基準抵抗列及びスイッチ列 1 2 を構成するスイッチ S 2 1 ~ 2 3 はオン状態に、スイッチ S 0 1 ~ 0 3、S 1 1 ~ 1 3、S 3 1 ~ 3 3 はオフ状態に固定される。

【 0 0 5 0 】

下位参照電圧決定期間、および下位比較期間において、前記下位参照電圧初期化信号 9 が論理レベルのローレベル状態になり、前記下位参照電圧選択信号 S 0、S 1、S 2、S 3 は符号選択信号 P 0 C、P 2 C、P 3 C、P 4 C と等しい値を出力する。

【 0 0 5 1 】

以上が図 5 に示す本発明の実施の形態 4 である上位符号選択回路の構成および動作である。

【 0 0 5 2 】

本実施の形態では実施の形態 3 に示した下位参照電圧初期化回路を用いずに、下位参照電圧の初期化が可能となるため、実施の形態 3 に比べて構成が簡単になる。

【 0 0 5 3 】

なお、本実施の形態では、上位 2 ビット、下位 2 ビットの直並列型 A / D 変換器の構成について述べたが、上位のビット数、下位のビット数は任意の設定が可能である。

【 0 0 5 4 】

なお、本実施の形態では下位参照電圧初期化信号がハイレベルで下位参照電圧が初期化される場合について述べたが、下位参照電圧初期化信号の論理レベルは任意である。

【 0 0 5 5 】

なお、本実施の形態では上位符号選択回路が反転回路、排他的論理和回路、論理和回路、および論理積回路で構成される場合を示したが、他の論理回路でも構

成が可能である。

【 0 0 5 6 】

(実施の形態 5)

図 6 は、本発明に係る図 1、図 2 および図 4 に示す直並列型 A/D 変換器に用いられる制御信号生成回路 2 1 の構成を示している。

【 0 0 5 7 】

クロック入力 2 2 が反転回路に入力され、前記反転回路の出力端子が遅延回路 2 4 の入力端子に接続されている。前記反転回路は、前記クロック入力 2 2 の反転信号を出力する。前記遅延回路 2 4 の出力端子は反転回路の入力端子に接続されており、前記遅延回路 2 4 は、前記クロック入力 2 2 の反転信号の遷移時刻を遅延させて出力する。前記遅延回路 2 4 の出力端子に接続された反転回路は、前記遅延回路 2 4 の出力する信号の反転信号を出力する。

【 0 0 5 8 】

前記クロック入力 2 2、前記クロック入力 2 2 に接続された反転回路の出力信号、前記遅延回路 2 4 の出力信号、および前記遅延回路 2 4 の出力端子に接続された反転回路の出力信号を、各々論理積回路で合成して、標本化信号、上位比較信号、参照電圧決定信号、下位比較信号が出力される。前記標本化信号出力は、同時に参照電圧初期化信号 9 の出力になる。

【 0 0 5 9 】

図 7 は、図 6 に示す制御信号生成回路を用いた直並列型 A/D 変換器の動作を表すタイミング図である。上位比較器列および下位比較器列がアナログ信号を入力する標本化期間に下位参照電圧を初期化するため、前の標本化期間から次の標本化期間の間にアナログ入力電圧値が大きく変化した場合にも、下位参照電圧の変化量が小さくなるので、高速、高精度動作が可能であり、かつ、下位参照電圧を初期化するための下位参照電圧初期化信号を、新たに回路を付加することなく生成可能であるため、回路の簡略化が可能である。

【 0 0 6 0 】

なお、本実施の形態では制御信号生成回路が反転回路、遅延回路、および論理積回路で構成される場合を示したが、他の論理回路でも構成が可能である。

【 0 0 6 1 】

(実施の形態 6)

図 8 は、本発明に係る図 1、図 2 および図 4 に示す直並列型 A/D 変換器に用いられる制御信号生成回路 21 の構成を示している。

【 0 0 6 2 】

上位比較信号出力が、同時に参照電圧初期化信号 9 の出力になる以外は、実施の形態 5 で述べた図 6 に示す制御信号生成回路と同様の構成である。

【 0 0 6 3 】

図 9 は、図 8 に示す制御信号生成回路を用いた直並列型 A/D 変換器の動作を表すタイミング図である。上位比較器列がアナログ入力電圧値と参照電圧値の比較を行う上位比較期間に下位参照電圧を初期化するため、前の標本化期間から次の標本化期間の間にアナログ入力電圧が大きく変化した場合にも、下位参照電圧の変化量が小さくなるので、高速、高精度動作が可能であり、かつ、下位参照電圧を初期化するための下位参照電圧初期化信号を、新たに回路を付加することなく生成可能であるため、回路の簡略化が可能である。さらに、実施の形態 5 で述べた図 7 に示す直並列型 A/D 変換器の動作タイミングに比べて、標本化期間中に下位参照電圧の変動がないため、ノイズの影響を受けることなく安定した標本化動作が可能である。

【 0 0 6 4 】

なお、本実施の形態では制御信号生成回路が反転回路、遅延回路、および論理積回路で構成される場合を示したが、他の論理回路でも構成が可能である。

【 0 0 6 5 】

【発明の効果】

本発明の直並列型 A/D 変換器によれば、下位比較器列が比較動作を完了した後から次の下位参照電圧が選択されるまでの期間に、下位参照電圧を初期化させるので、前の標本化期間から次の標本化期間の間にアナログ入力電圧が大きく変化した場合にも、下位参照電圧の変化量が小さくなるので、高速、高精度動作が可能な直並列型 A/D 変換器を実現することが可能である。

【図面の簡単な説明】

【図 1】

本発明の実施の形態 1 である直並列型 A / D 変換器の構成図

【図 2】

本発明の実施の形態 2 である直並列型 A / D 変換器の構成図

【図 3】

本発明の実施の形態 3 である下位参照電圧初期化回路の構成図

【図 4】

本発明の実施の形態 4 である直並列型 A / D 変換器の構成図

【図 5】

本発明の実施の形態 4 である上位符号選択回路の構成図

【図 6】

本発明の実施の形態 5 である制御信号生成回路の構成図

【図 7】

本発明の実施の形態 5 である直並列型 A / D 変換器の動作説明図

【図 8】

本発明の実施の形態 6 である制御信号生成回路の構成図

【図 9】

本発明の実施の形態 6 である直並列型 A / D 変換器の動作説明図

【図 1 0】

従来の直並列型 A / D 変換器の構成図

【図 1 1】

従来の直並列型 A / D 変換器の動作説明図

【符号の説明】

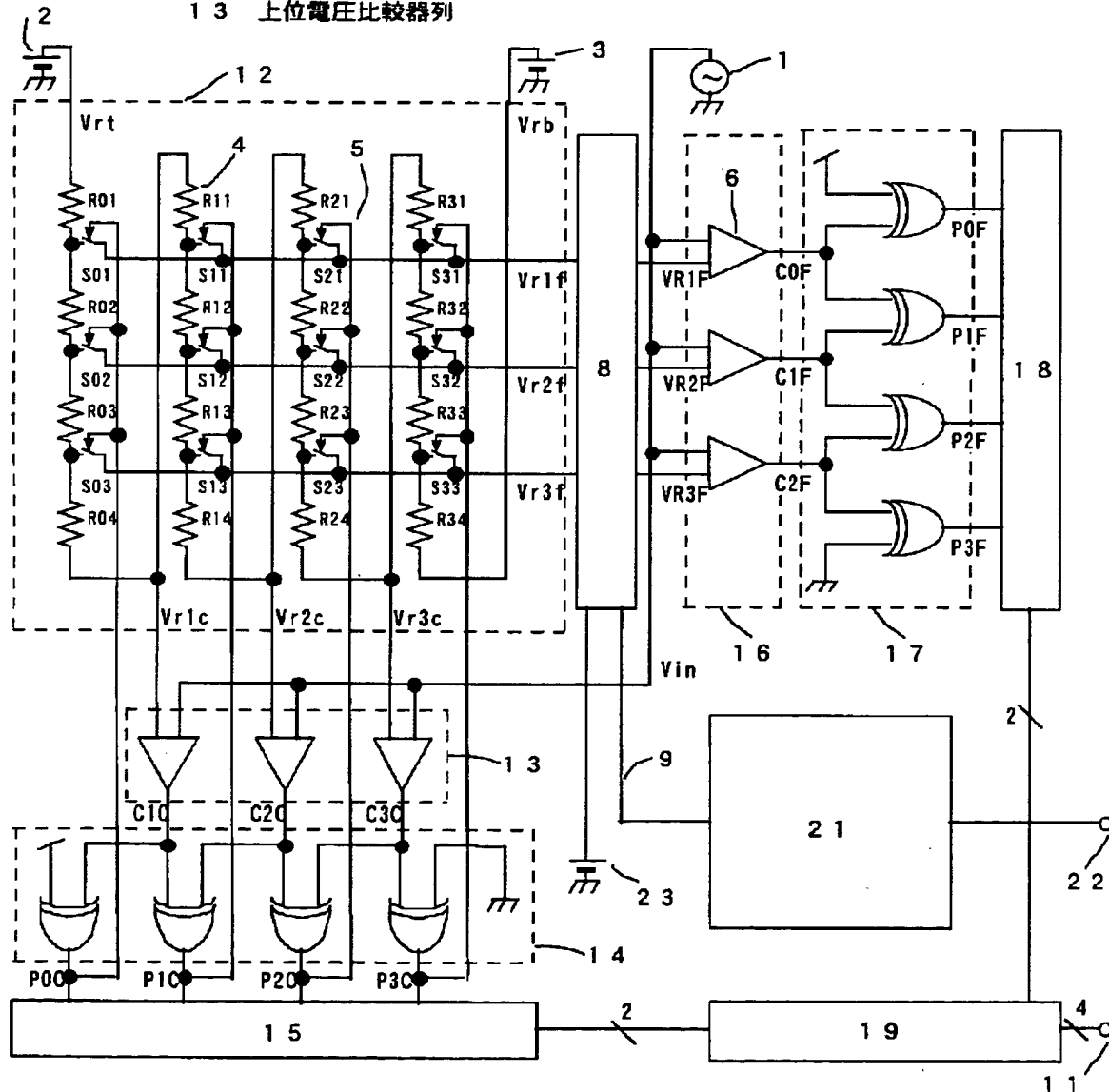
- 1 アナログ入力信号
- 2 参照電圧
- 3 参照電圧
- 4 基準抵抗
- 5 下位参照電圧選択スイッチ
- 6 電圧比較器

- 7 上位符号選択回路
- 8 下位参照電圧初期化回路
- 9 下位参照電圧初期化信号
- 1 0 下位参照電圧初期化スイッチ
- 1 2 基準抵抗列およびスイッチ列
- 1 3 上位電圧比較器列
- 1 4 上位符号選択回路
- 1 5 上位符号化回路
- 1 6 下位電圧比較器列
- 1 7 下位符号選択回路
- 1 8 下位符号化回路
- 1 9 符号合成回路
- 2 0 下位参照電圧入力スイッチ
- 2 1 制御信号生成回路
- 2 2 クロック入力
- 2 3 初期化電圧
- 2 4 遅延回路

【書類名】 図面

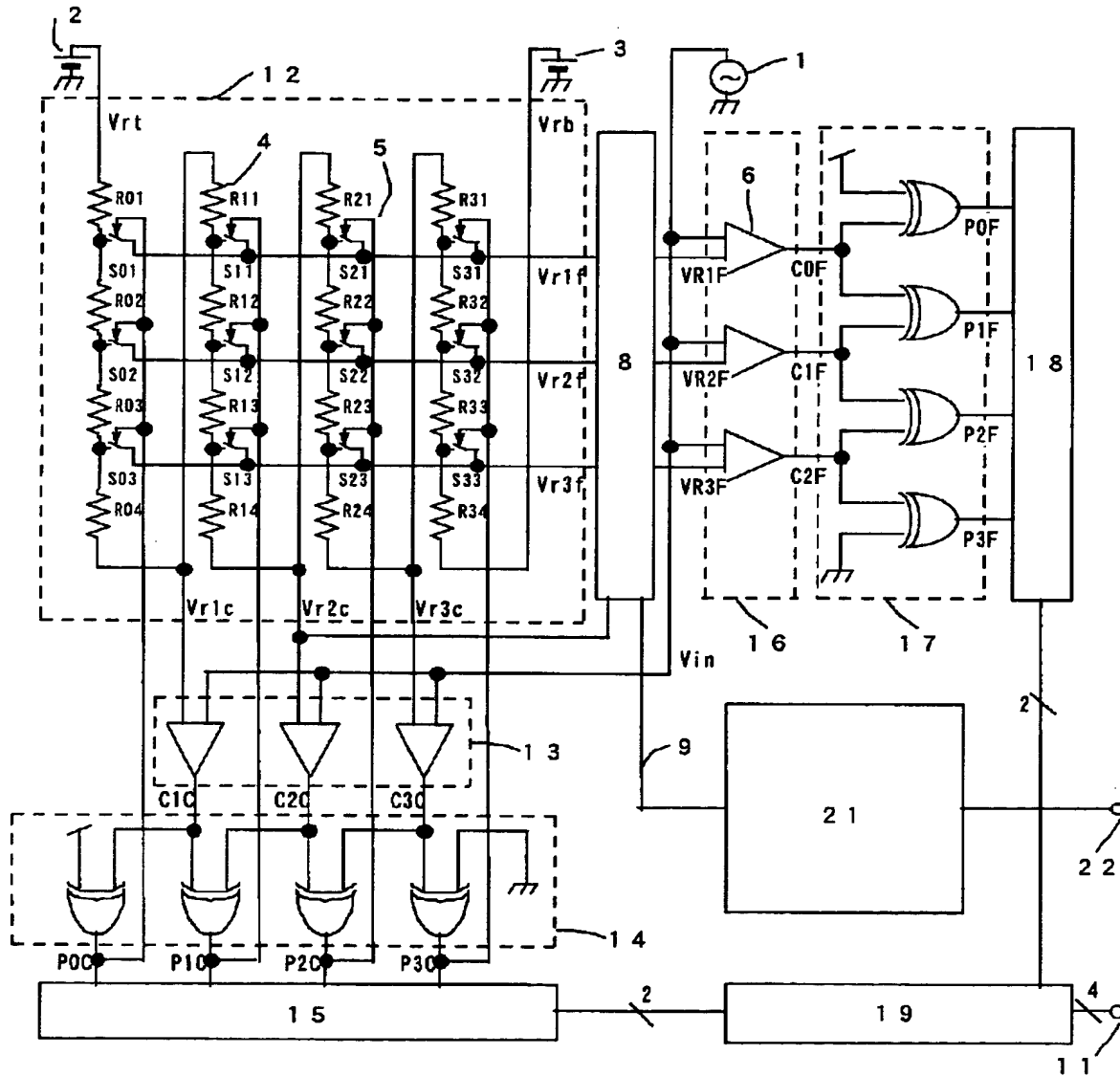
【図 1】

- | | | | |
|------|---------------|----|----------|
| 1 | アナログ入力信号 | 14 | 上位符号選択回路 |
| 2, 3 | 参照電圧 | 15 | 上位符号化回路 |
| 4 | 基準抵抗 | 16 | 下位電圧比較器列 |
| 5 | 下位参照電圧選択スイッチ | 17 | 下位符号選択回路 |
| 6 | 電圧比較器 | 18 | 下位符号化回路 |
| 8 | 下位参照電圧初期化回路 | 19 | 符号合成回路 |
| 9 | 下位参照電圧初期化信号 | 21 | 制御信号生成回路 |
| 11 | デジタル出力 | 22 | クロック入力 |
| 12 | 基準抵抗列およびスイッチ列 | 23 | 初期化電圧 |
| 13 | 上位電圧比較器列 | | |



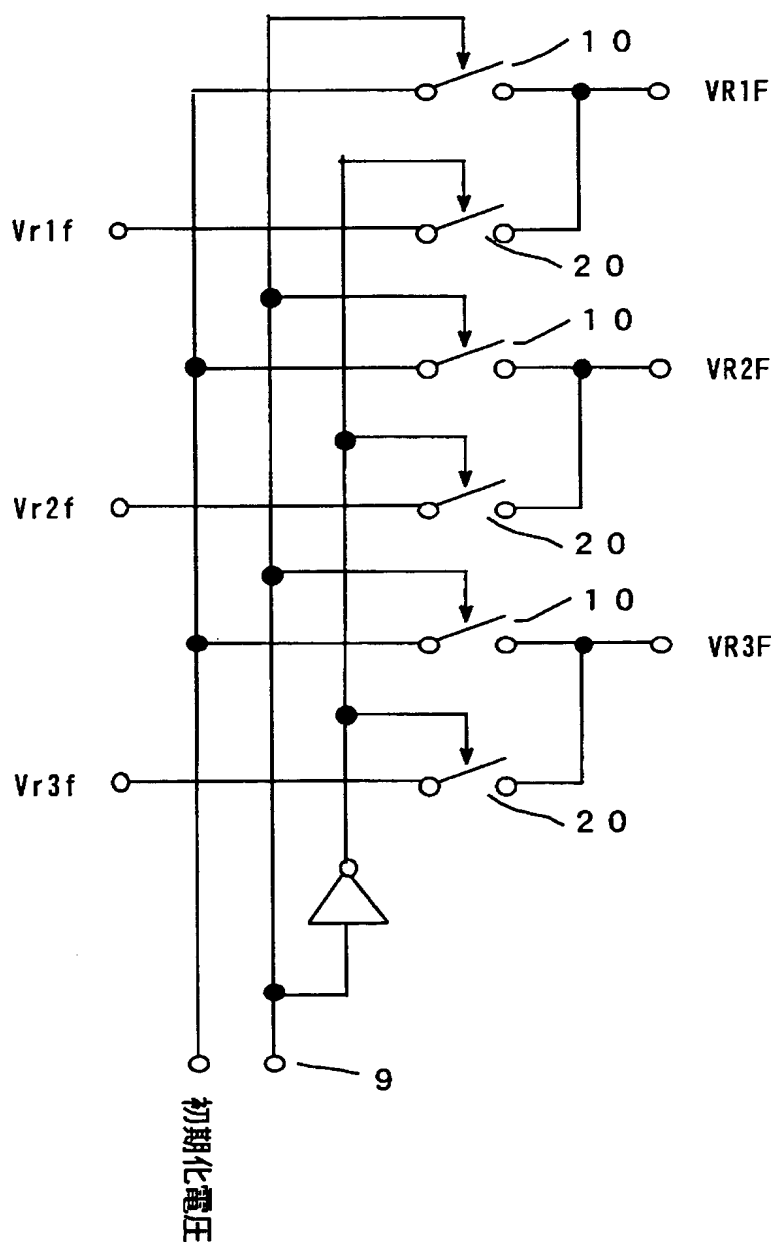
【図 2】

- | | | | |
|------|---------------|----|----------|
| 1 | アナログ入力信号 | 13 | 上位電圧比較器列 |
| 2, 3 | 参照電圧 | 14 | 上位符号選択回路 |
| 4 | 基準抵抗 | 15 | 上位符号化回路 |
| 5 | 下位参照電圧選択スイッチ | 16 | 下位電圧比較器列 |
| 6 | 電圧比較器 | 17 | 下位符号選択回路 |
| 8 | 下位参照電圧初期化回路 | 18 | 下位符号化回路 |
| 9 | 下位参照電圧初期化信号 | 19 | 符号合成回路 |
| 11 | デジタル出力 | 21 | 制御信号生成回路 |
| 12 | 基準抵抗列およびスイッチ列 | 22 | クロック入力 |



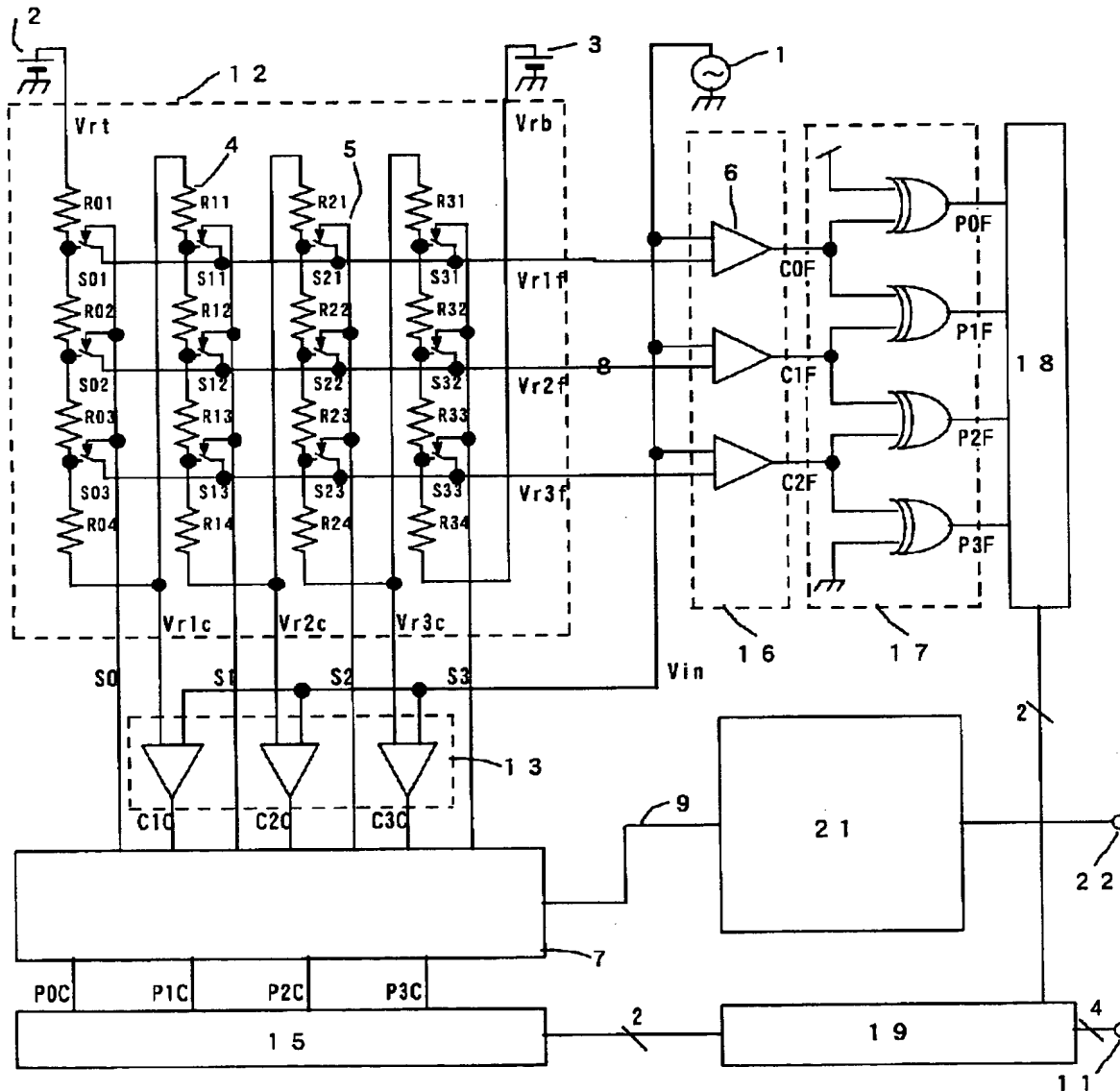
【図 3】

- 9 下位参照電圧初期化信号
- 10 下位参照電圧初期化スイッチ
- 20 下位参照電圧入力スイッチ

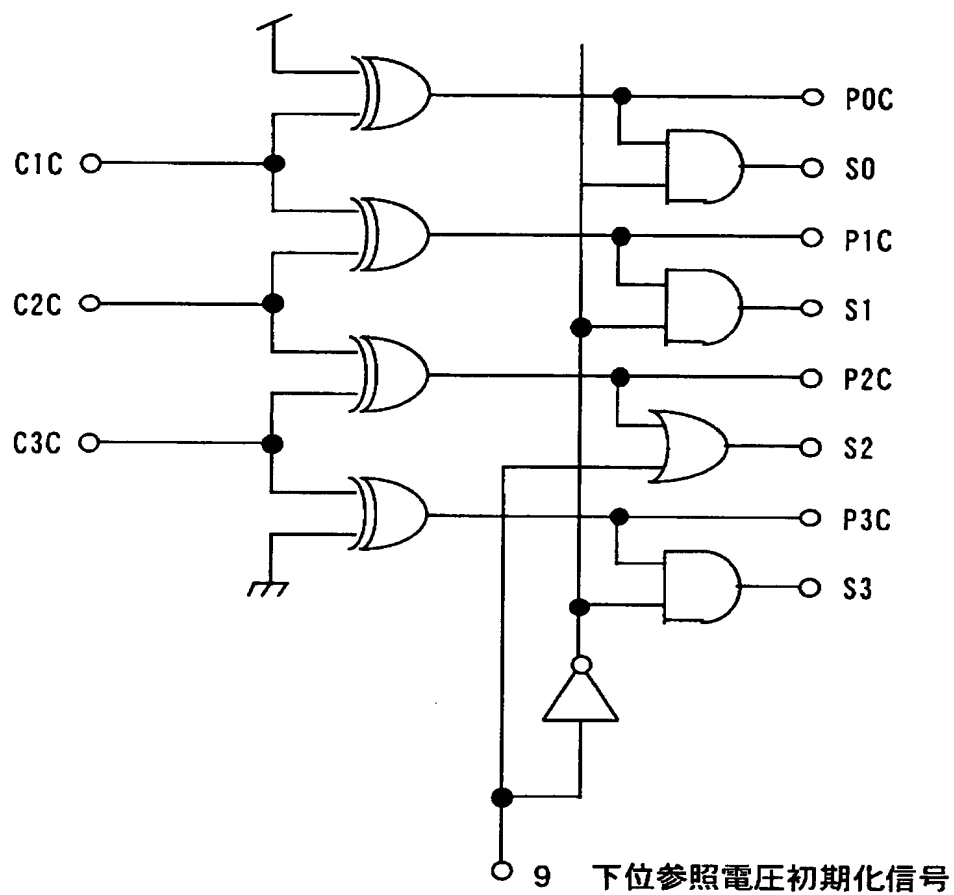


【図 4】

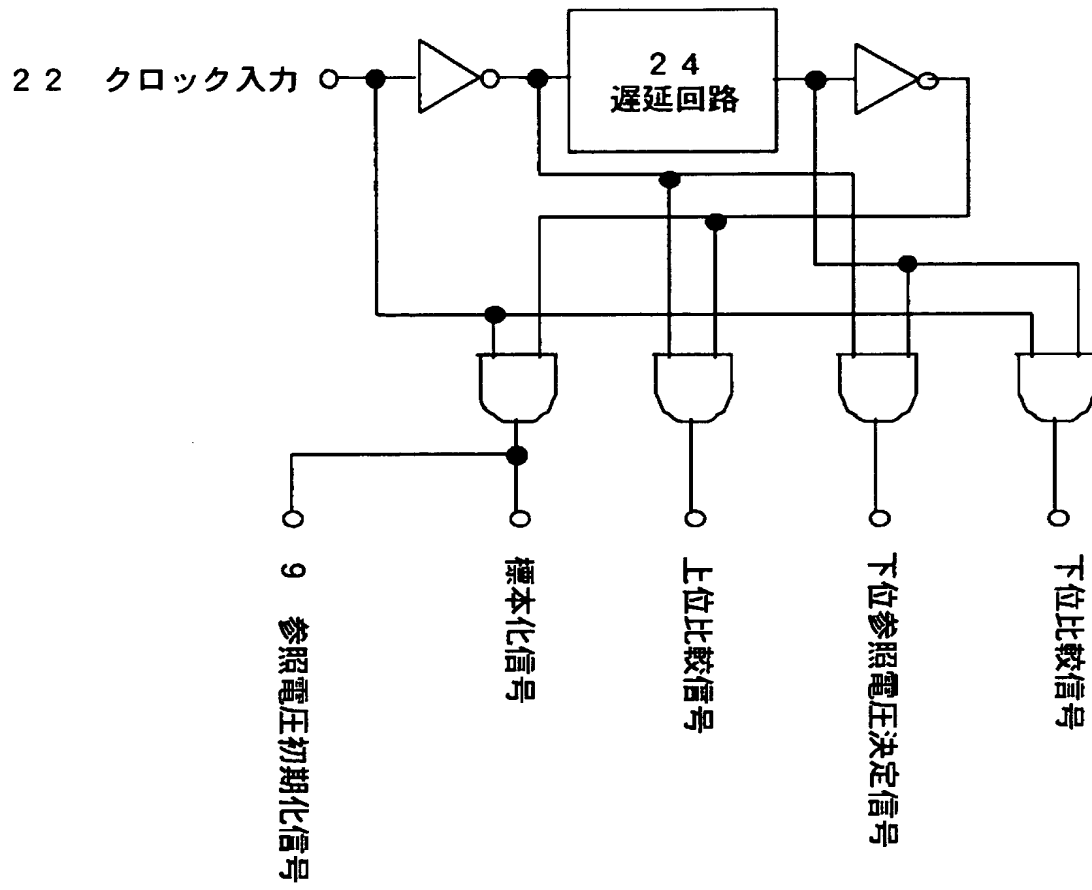
- | | | | |
|------|---------------|----|----------|
| 1 | アナログ入力信号 | 13 | 上位電圧比較器列 |
| 2, 3 | 参照電圧 | 15 | 上位符号化回路 |
| 4 | 基準抵抗 | 16 | 下位電圧比較器列 |
| 5 | 下位参照電圧選択スイッチ | 17 | 下位符号選択回路 |
| 6 | 電圧比較器 | 18 | 下位符号化回路 |
| 7 | 上位符号選択回路 | 19 | 符号合成回路 |
| 9 | 下位参照電圧初期化信号 | 21 | 制御信号生成回路 |
| 11 | デジタル出力 | 22 | クロック入力 |
| 12 | 基準抵抗列およびスイッチ列 | | |



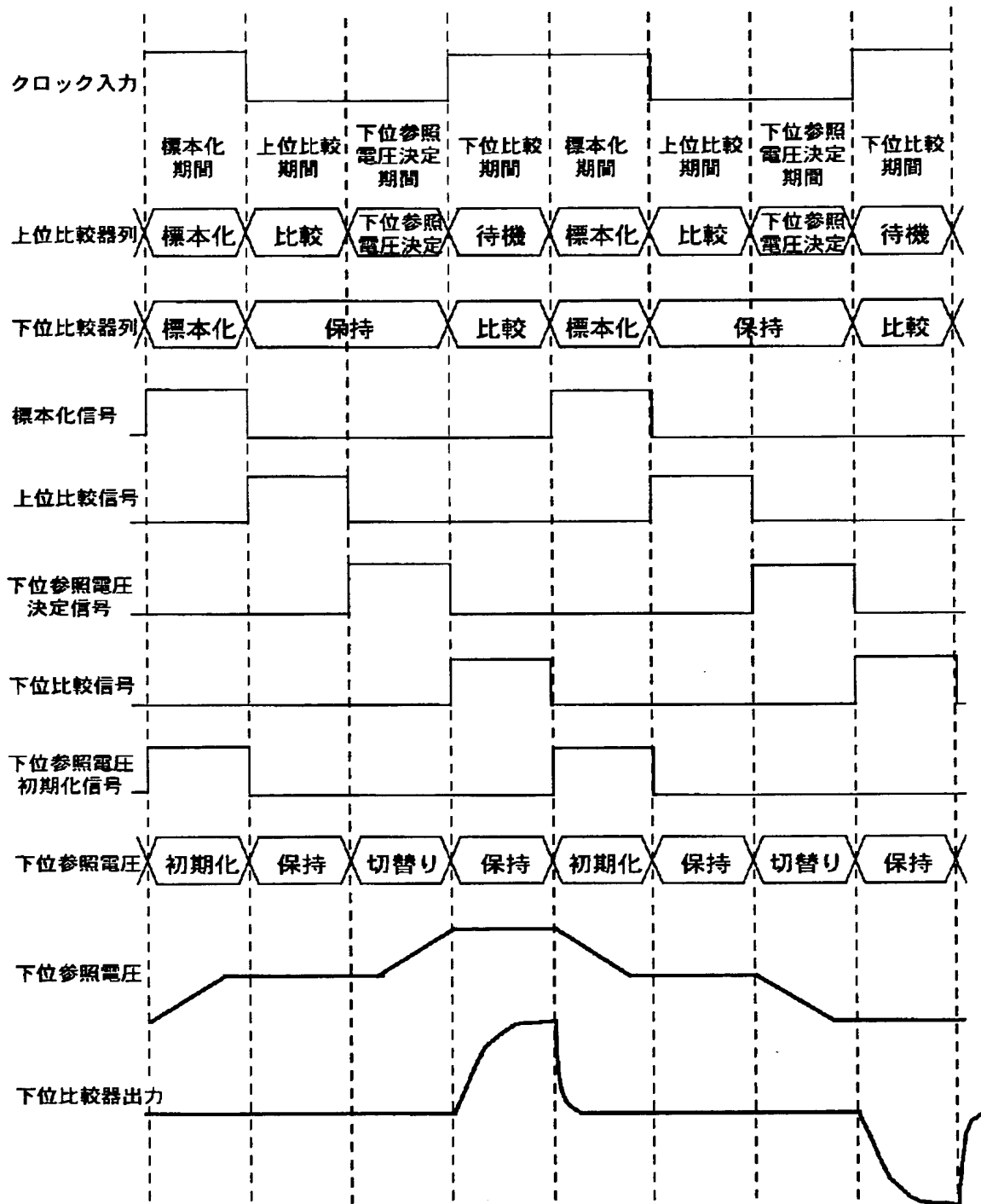
【图 5】



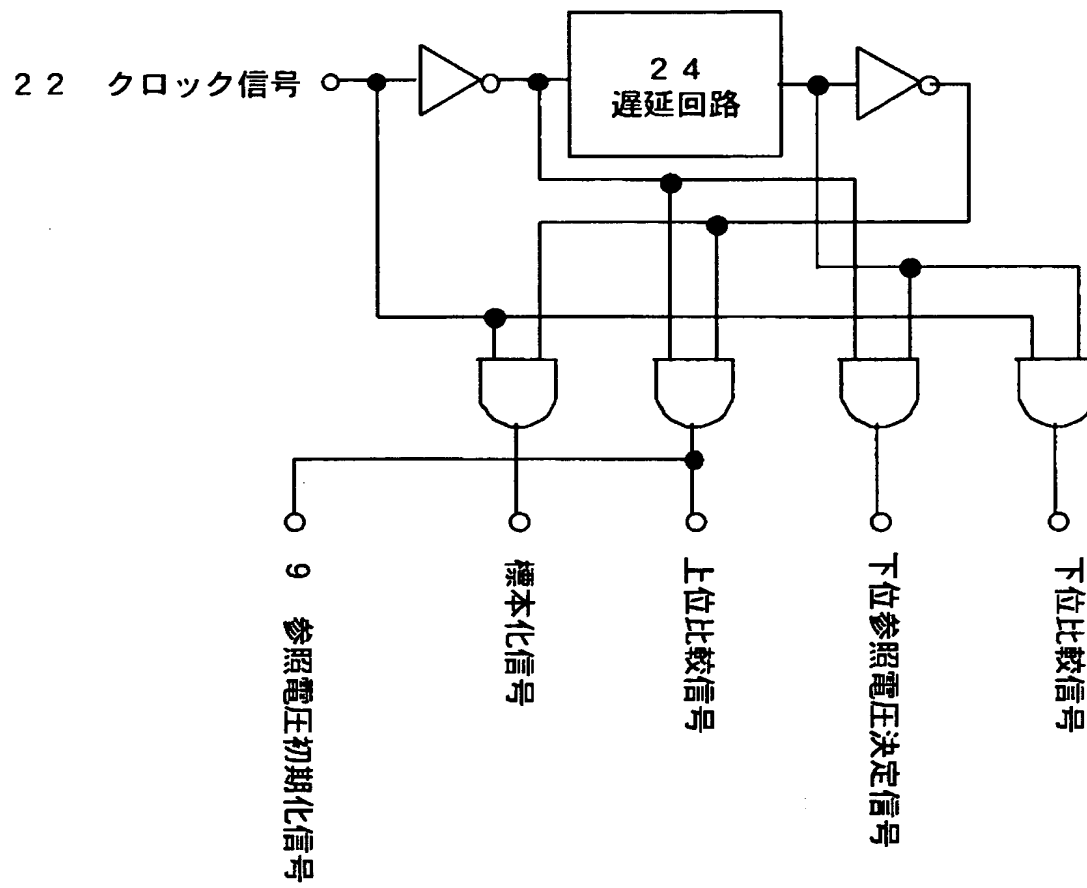
【図 6】



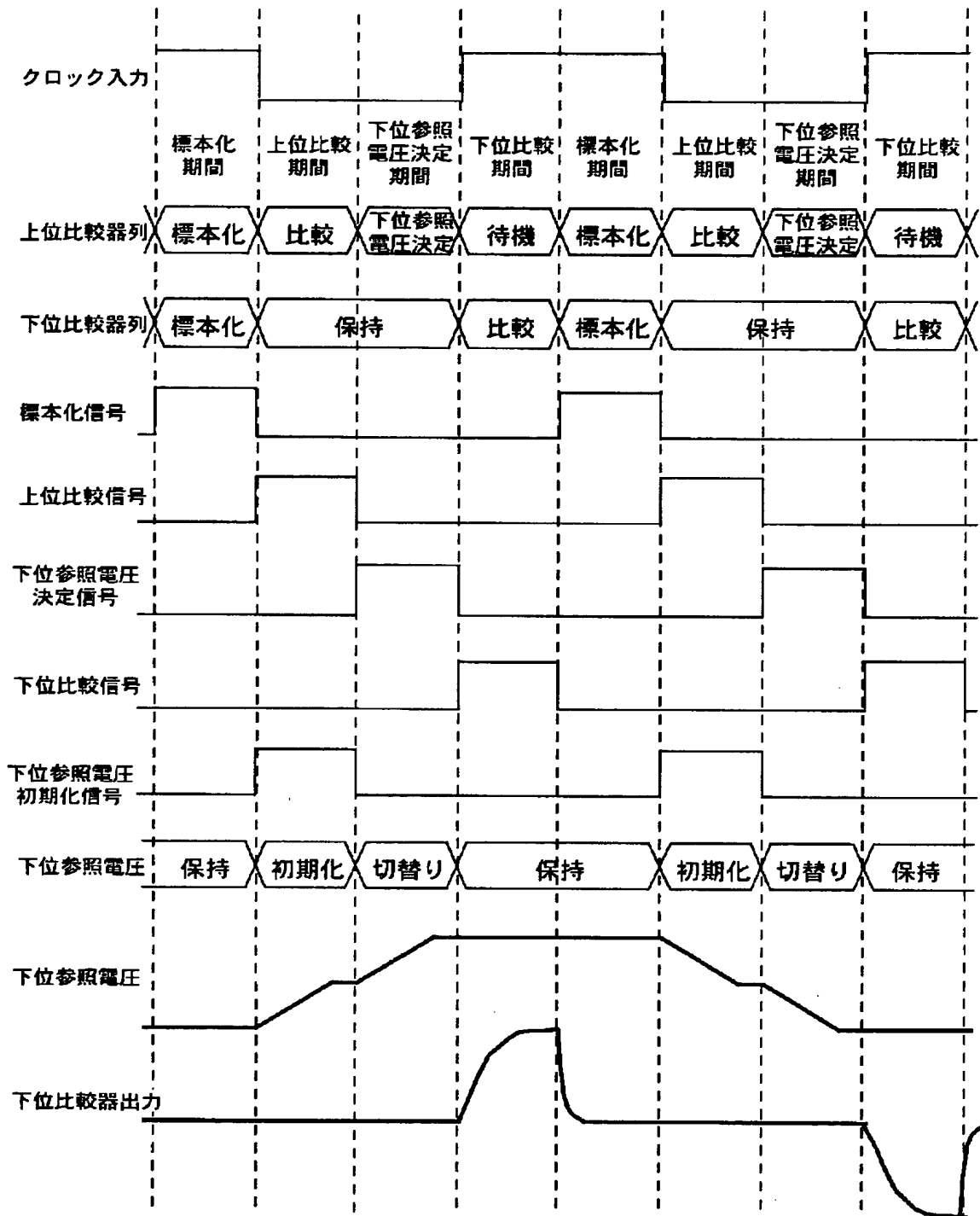
【図 7】



【図 8】

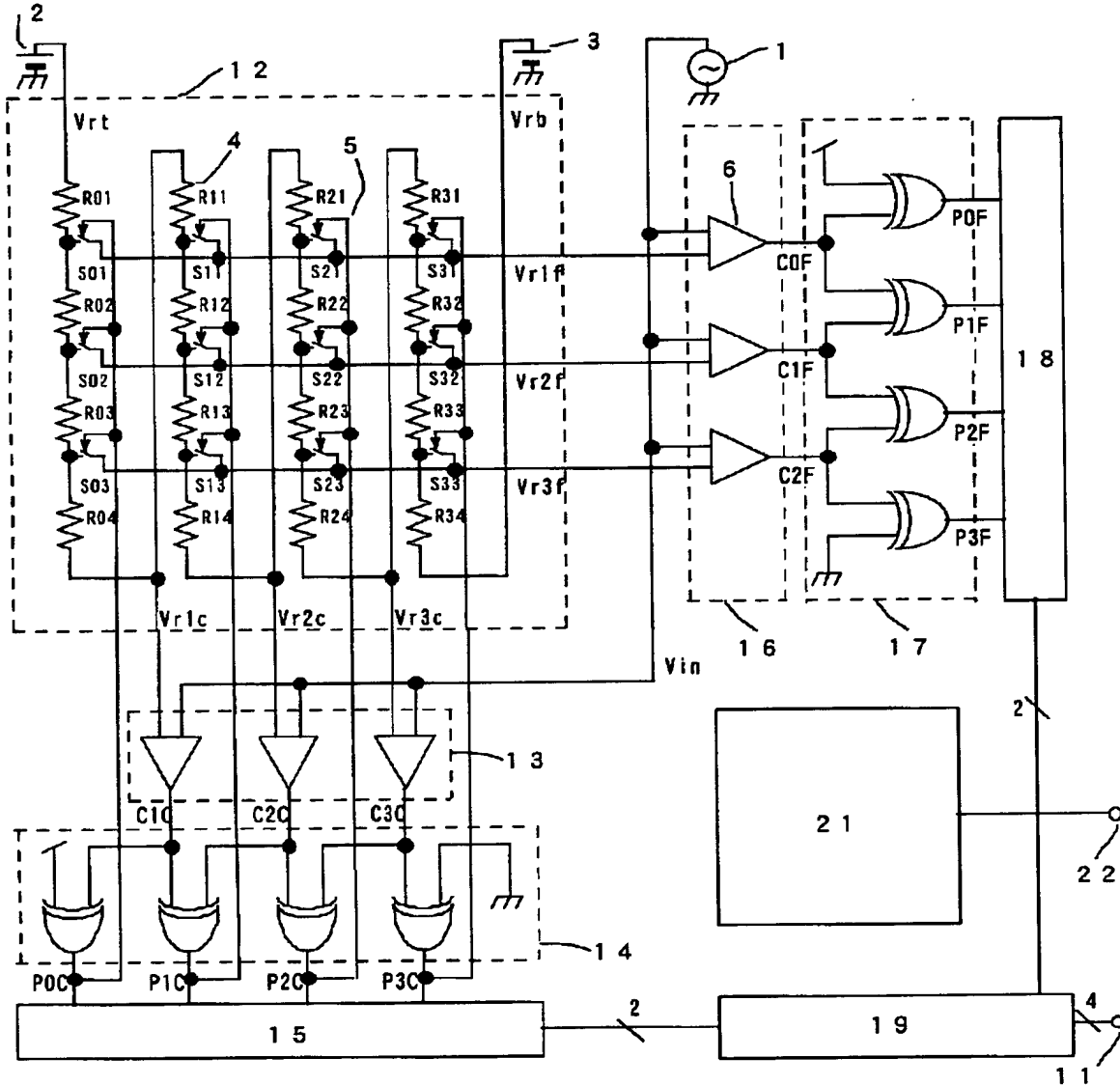


【図 9】

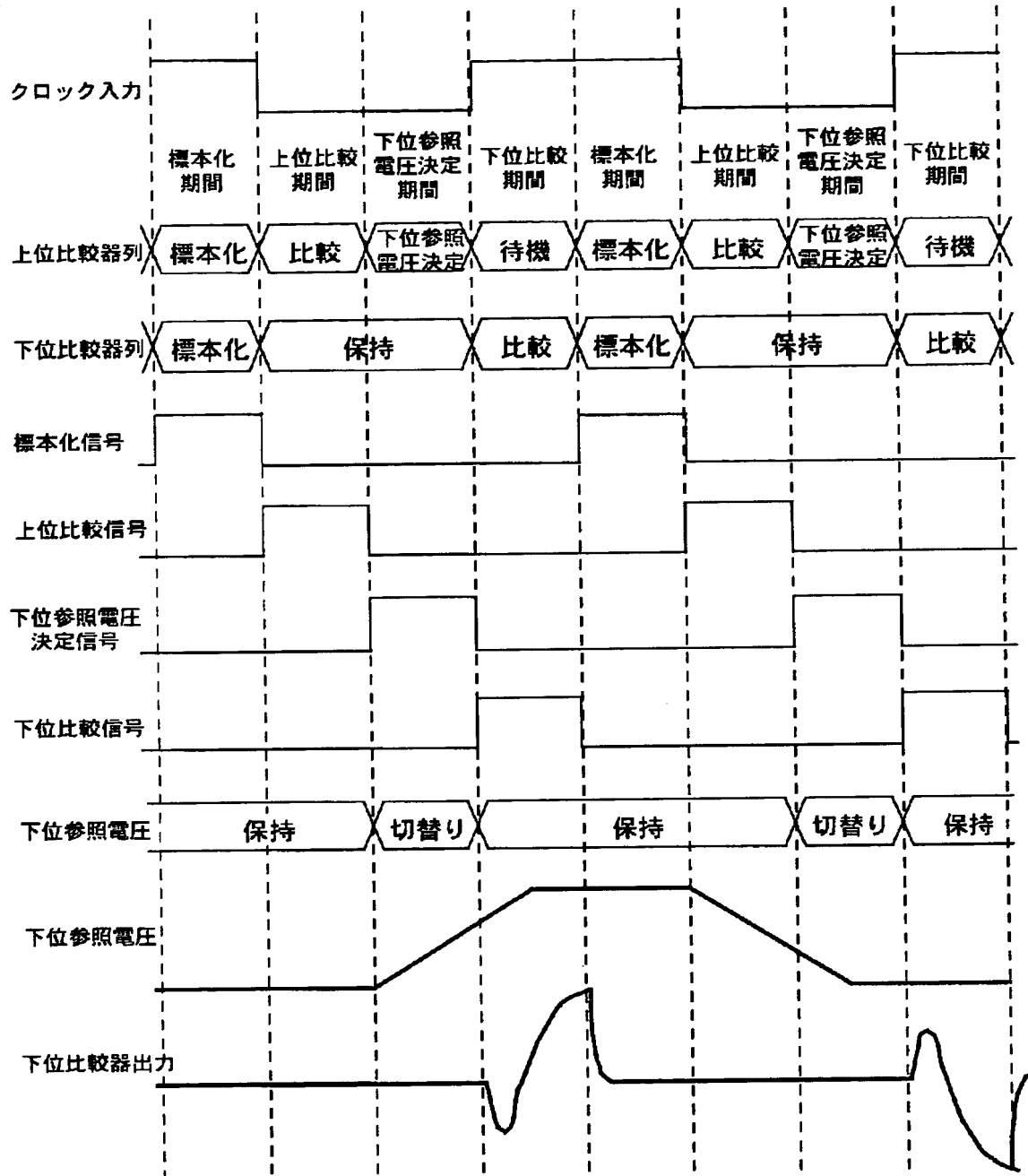


【図 10】

- | | | | |
|------|---------------|----|----------|
| 1 | アナログ入力信号 | 14 | 上位符号選択回路 |
| 2, 3 | 参照電圧 | 15 | 上位符号化回路 |
| 4 | 基準抵抗 | 16 | 下位電圧比較器列 |
| 5 | 下位参照電圧選択スイッチ | 17 | 下位符号選択回路 |
| 6 | 電圧比較器 | 18 | 下位符号化回路 |
| 11 | デジタル出力 | 19 | 符号合成回路 |
| 12 | 基準抵抗列およびスイッチ列 | 21 | 制御信号生成回路 |
| 13 | 上位電圧比較器列 | 22 | クロック入力 |



【図 1 1】



【書類名】 要約書

【要約】

【課題】 従来の直並列型 A / D 変換器は、下位参照電圧値が、下位電圧比較器列が次の上位比較動作を完了するまで前の電圧値のまま固定されているので、前の標本化期間から次の標本化期間の間にアナログ入力電圧が大きく変化した場合、下位参照電圧が前の電圧値から次の電圧値に変化して安定するまでの遷移時間が長くなり、これが直並列型 A / D 変換器の高速化、高精度化の妨げとなっていた。

【解決手段】 直並列型 A / D 変換器において、下位比較器列が比較動作を完了した後から次の比較動作を開始するまでの期間に、下位参照電圧を初期化させるので、前の標本化期間から次の標本化期間の間にアナログ入力電圧が大きく変化した場合にも、下位参照電圧の変化量が小さくなり、高速、高精度動作が可能な直並列型 A / D 変換器を実現することができる。

【選択図】 図 1

出 願 人 履 歷 情 報

識別番号 [000005821]

1. 変更年月日	1990年 8月28日
[変更理由]	新規登録
住 所	大阪府門真市大字門真1006番地
氏 名	松下電器産業株式会社